

Hardware-Schutz im Zeitalter moderner Mikroelektronik

Chiplet-Ansatz für 77 GHz-MIMO Radar

Forschungsprojekt VE-REWAL

Mikroelektronik ist schon heute fester Bestandteil unseres Alltags. Zukünftig wird sie mit der Verbreitung von autonomen Fahrzeugen und Servicerobotern einen noch wichtigeren Platz einnehmen. Die dafür notwendigen Elektroniksysteme müssen nicht nur Anforderungen an Kosten, Leistung, Zuverlässigkeit, Miniaturisierung und Nachhaltigkeit erfüllen, sondern auch vertrauenswürdig sein.

In der industriellen Herstellung eines komplexen elektronischen Gesamtsystems sind kriminelle Manipulationen jedoch nicht ausgeschlossen. Systeme werden durch nicht autorisierte Eingriffe wie den Austausch von Komponenten korrumpiert.

Um die Manipulation entlang der Wertschöpfungskette ausschließen zu können, ist die Entwicklung neuartiger Methoden, Lösungen und Prozesse notwendig. Das Fraunhofer IZM entwickelt daher den Prozess des Fan-Out Wafer-Level Packaging (FOWLP) weiter, um die Kontrolle jeder einzelnen Komponente zu ermöglichen.

Im Rahmen des BMBF-Projektes VE-REWAL „Know-how-Schutz für vertrauenswürdige heterogene Elektroniksysteme mit Chiplets“ soll am Beispiel eines 77 GHz MIMO-Radarsystems für Fahrassistenzsysteme demonstriert werden, wie die Funktionalität eines Gesamtsystems abgesichert werden kann.

Das Fraunhofer IZM ist an dem VE-REWAL Teilvorhaben „Redistribution layer (RDL)-1st

for Trusted Chiplet Packaging“ beteiligt. Um Hochfrequenz-Chiplets für das Radarsystem vor Manipulation zu schützen und mit einer Vertrauensarchitektur auszustatten, sollen die Gesamtfunktionen des Elektroniksystems durch eine neuartige Systempartitionierung und ein neues Systempackaging verschleiert werden. Der Chiplet-Ansatz wird für Radar-ICs realisiert und auf Ebene des FOWLP und der Baugruppen sowie in der Applikation untersucht.

Zu realisierende Innovationen:

- Weiterentwicklung des Wafer Level-Packaging, um vertrauenswürdige heterogene Systeme mit Hochfrequenz-Chiplets und einer komplexen Signalverarbeitung in einem Paket zu realisieren.

RDL-1st-Substratwafer mit assemblierten Chiplets

Verbundkoordinator

- Universität Bremen

Projektpartner

- Conti Temic microelectronic GmbH
- Infineon Technologies AG
- Fraunhofer IZM
- Fraunhofer FHR
- Ruhr-Universität Bochum
- Technische Hochschule Ingolstadt
- Viconnis (assoziierter Partner)
- PHYSEC GmbH (assoziierter Partner)

Volumen

- 6 Mio. €
- 86 % Förderanteil

Laufzeit & Förderkennzeichen

- 05/2021 - 04/2024
- 16ME0308

GEFÖRDEBT VOM

Beitrag des Fraunhofer IZM:

- Konzeptentwicklung für kombinierte HF/HD-Chiplets
- Spezifikationsentwicklung, Randbedingungen für HF-RDL
- Einzelprozessentwicklung für HF-/HD-RDL-Substrate
- Herstellung eines HF-/HD-FOWLP-Chiplet-Technologie-Demonstrators
- Vergleich der Technologieansätze (eWLB vs. RDL-1st FOWLP)
- Herstellung eines Funktionsdemonstrators für HF/HD-Chiplets

Um die elektronischen Komponenten vor Fremdeingriffen zu schützen, kommen verteilte Algorithmen, sogenanntes Split Manufacturing (Herstellung der Einzelteile bei verschiedenen Herstellern) und funktionale Veränderungen der Programmcodes zum Einsatz.

Die Verschlüsselung des Datenverkehrs zwischen den Bauteilen durch zusätzliche Smart Cards ist ein weiterer sicherheitskritischer Aspekt. Um die Funktionsweise, das Layout und das geistige Eigentum gegenüber Dritten zu verschleiern, wird die Signalverarbeitung einzelner Chips auf mehrere Chiplets verteilt. Einzelne Chiplets werden dadurch für Angreifer wertlos.

Vorteile von verteilten Funktionen auf Chiplets:

- Schutz des IP für das Gesamtsystem
- Zeitgleiche Zusammenarbeit mit verschiedenen Lieferanten

Um den Nachweis für eine zukünftige industrielle Fertigung zu erbringen, wird das RF-/HD-FOWLP-Konzept auf einer 300-mm-BEOL Wafer-Linie realisiert. So wird auch eine Plattformlösung für eine Vielzahl von Architekturen im Digital-, Mixed-Signal- und Hochfrequenzbereich geschaffen.

Die Chiplets der Signalverarbeitung werden mit Hochfrequenzschaltungen, gefertigt in der mm-Wellen SiGe Hochfrequenztechnologie von Infineon, und Antennen im Package zusammengefügt. Hierzu werden Technologien des Chip-First- bzw. RDL1st-FOWLP auf ihre Eignung für Hochfrequenzschaltungen untersucht und neue Prozessschritte entwickelt.

Weiterentwicklung in den Prozessblöcken:

- Evaluierung und Charakterisierung neuer Materialien für Release Layer, Spin-on Dielektrika und Mold Compounds
- Systematische Untersuchungen zur Erhöhung der Verdrahtungsdichte durch kleinere Leitbahnbreiten und Abstände, die Reduzierung von Via-Durchmessern und die Erhöhung der Anzahl der Verdrahtungslagen

Die FOWLP-Technologie eignet sich, um heterogene Chips sowie auch passive und andere Komponenten in einem Package zu vereinen. So ist es möglich, kostengünstige System-in-Package (SIP) zu realisieren.

Durch die Polymer-Umverdrahtung der elektrischen Verbindungen im Package zwischen den Chips werden parasitäre Effekte minimiert. Die Packages eignen sich für Hochfrequenzsysteme wie beispielsweise Radar und 5G/6G-Module.

Begleitet werden diese Arbeiten durch elektrische (RF-) und thermomechanische Simulationen zur Erstellung und Verifikation der zugehörigen Modelle sowie Arbeiten zur Bewertung des Ausfallverhaltens unter Stressbelastung.

Radar-Anwendungsbereiche:

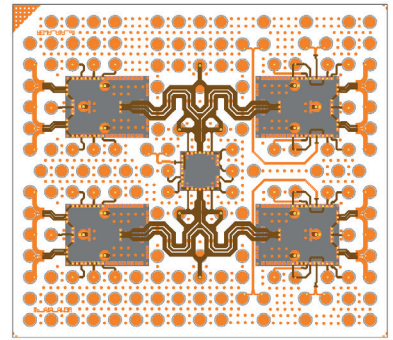
- Autonomes Fahren
- Raue Umgebungsbedingungen

Weitere Anwendungsbereiche für SIPs mit Chiplets:

- Automotive
- Service-Roboter
- Smartphones
- Wearable Devices

Projektstand (10/2023):

- Aufbau des Technologiedemonstrators abgeschlossen
- Herstellung des Funktionsdemonstrators in Arbeit



RDL-1st-Design für REWAL

Mehr Informationen



Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM

Dr. Manuela Junghähnel
Tel. +49 351 795572-0
manuela.junghaehnel@
assid.izm.fraunhofer.de

Philipp Scheibe
Tel. +49 351 795572-73
philipp.scheibe@
assid.izm.fraunhofer.de

Fraunhofer IZM-ASSID
Ringstraße 12
01468 Moritzburg
www.izm.fraunhofer.de 10/2023